第一章 Verilog HDL介绍

第一节 HDL发展历史简介

第二节 基于HDL的现代数字电路设计流程

第三节Verilog HDL 基本语法介绍

1. Verilog模块
2. Verilog 标识符、关键词与注释
3. 四值逻辑与数据表示
4. 端口类型
5. 算术运算
6. 位运算与规约运算
7. 逻辑运算
8. 比较运算
9. 拼接和重复运算
10. 移位与条件操作
11. Always
12. if-else 与 case 语句
13. 循环语句
14. 阻塞赋值与非阻塞赋值

第二章 ModelSim使用

第一节 ModelSim介绍

第二节 ModelSim使用

第三章 PLD器件介绍

第一节 可编程器件的概述

1. PLD的分类
2. PLD的分类（上）
3. PLD的分类（下）

第三节PLD的基本结构

第四节CPLD的基本结构与特点

第五节FPGA的基本结构与特点

第六节 CPLD与FPGA的比较

第四章 FPGA开发流程简介与QuartusII工具使用

第一节 FPGA开发流程简介

第二节 QuartusII软件及其使用

第三节IP核

第五章 时序逻辑描述与实现

第一节 由基本门构建时序逻辑

第二节 数字电路基本部件描述举例

第六章 TestBench设计

第一节 TestBench结构

1. 系统任务（1）
2. 系统任务（2）
3. 设计输入信号的生成方法
4. function与task
5. VCD输出
6. 参数的用法

第七章 有限状态机及部分电路描述方法

第一节 有限状态机与状态转移图

1. 有限状态机编码风格
2. 状态编码

四、实验（实践）环节及要求

1. Modelsim工具熟悉实验（2学时）

熟悉Modelsim仿真工具

1. FPGA开发板熟悉实验（4学时）

熟悉FPGA开发板，设计小型模块，实现FPGA开发基本流程

1. 时序逻辑实验（4学时）

设计时序逻辑电路，仿真验证

1. TestBench实验（2学时）

学习Testbench多种设计方法

1. FSM实验（4学时）

学习有限状态机FSM编码风格、状态编码方法，体会不同设计风格、状态编码方法对最终电路的不同影响